

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-259768

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

H01J 11/00
G09G 3/28

(21)Application number : 08-062597

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.03.1996

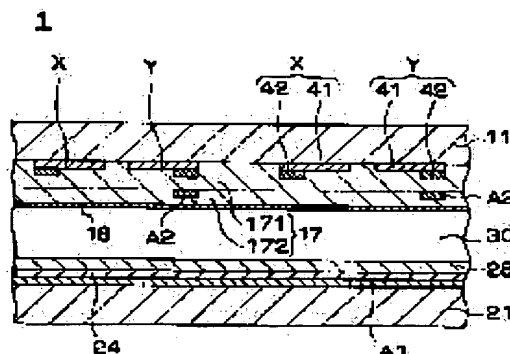
(72)Inventor : NAKAHARA HIROYUKI
GUEN TAN NIYAN

(54) AC TYPE PDP AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To lower impression voltage for addressing, and facilitate driving by arranging a second address electrode extending in the line direction in a position closer to a first address electrode than first and second sustained electrodes.

SOLUTION: An AC type (plasma display panel)PDP has first and second sustained electrodes X and Y extending in the line direction of matrix display on a first base board 11, and has a first address electrode A1 extending in the row direction on a second base board 21 opposed to the first base board 11 through a discharge space 30. In this case, a second address electrode A2 extending in the line direction is arranged in a position on the first base board 11 closer to the first address electrode A1 than the sustained electrodes X and Y.



LEGAL STATUS

[Date of request for examination]

02.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-259768

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 11/00			H 0 1 J 11/00	K
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	E

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平8-62597

(22) 出願日 平成8年(1996)3月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 中原 裕之

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 グェン タン ニヤン

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 久保 幸雄

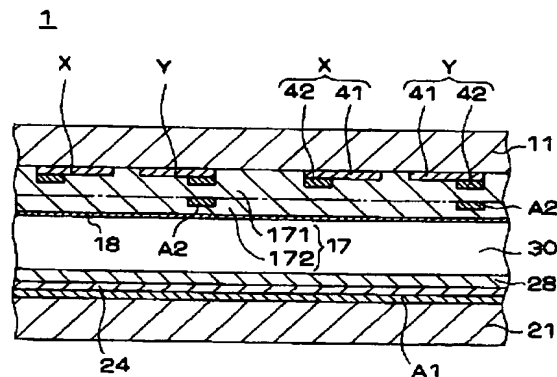
(54) 【発明の名称】 AC型PDP及びその駆動方法

(57) 【要約】

【課題】 アドレッシングのための印加電圧を低くして駆動を容易化することを目的とする。

【解決手段】 第1の基板11上にマトリクス表示の行方向に延びる第1及び第2のサステイン電極X、Yを有し、放電空間30を介して第1の基板11と対向する第2の基板21上に列方向に延びる第1のアドレス電極A1を有したAC型PDPにおいて、サステイン電極X、Yよりも第1のアドレス電極A1に近づく第1の基板11上の位置に、行方向に延びる第2のアドレス電極A2を設ける。

本発明のPDPの要部断面図



【特許請求の範囲】

【請求項1】第1の基板上にマトリクス表示の行方向に延びる第1及び第2のサステイン電極が設けられ、放電空間を介して前記第1の基板と対向する第2の基板上に、列方向に延びる第1のアドレス電極が設けられ、前記第1の基板上の、前記第1及び第2のサステイン電極よりも前記第1のアドレス電極に近づいた位置に、前記行方向に延びる第2のアドレス電極が設けられてなることを特徴とするAC型PDP。

【請求項2】前記第2のアドレス電極は、平面視において前記第2のサステイン電極と重なるように配置され、前記放電空間に対して誘電体層で被覆されてなる請求項1記載のAC型PDP。

【請求項3】請求項1又は請求項2記載のAC型PDPによる表示に際して、アドレス期間において、前記第1及び第2のアドレス電極の間で放電を生じさせて、表示内容に応じた壁電荷蓄積状態を形成し、前記アドレス期間に続くサステイン期間において、前記第1及び第2のサステイン電極の間で周期的に放電を生じさせることを特徴とするAC型PDPの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、面放電セルを画定する電極対を有したマトリクス表示形式のAC型のPDP（プラズマディスプレイパネル）に関する。

【0002】選択発光に壁電荷を利用するAC駆動形式のPDPの内、特に面放電型PDPは蛍光体によるカラー表示に適しており、ハイビジョン用の大画面表示デバイスとして注目されている。

【0003】

【従来の技術】図7は従来の面放電型PDP80の電極構造を示す平面図、図8は従来の面放電型PDP80の内部構造を示す分解斜視図である。

【0004】PDP80は、互いに平行に延びる直線状のサステイン電極（主電極）Xj、Yjからなる複数の電極対12jと、サステイン電極Xj、Yjと直交する複数の直線状のアドレス電極Ajとを有する。各電極対12jはマトリクス表示の1ライン（行）に対応し、各アドレス電極Ajは1列に対応する。つまり、PDP80のセル（表示素子）の電極構造は、電極対12jとアドレス電極Ajとが交差する3電極構造である。

【0005】図8のように、PDP80は、前面側のガラス基板11j、サステイン電極Xj、Yj、AC駆動のための誘電体層17j、保護膜18j、背面側のガラス基板21j、アドレス電極Aj、平面視直線状の隔壁29j、及びフルカラー表示のための蛍光体層28jなどから構成されている。内部の放電空間30jは、隔壁29jによってライン方向（サステイン電極Xj、Yjの延長方向）にサブピクセルEU毎に区画され、且つそ

の間隙寸法が規定されている。

【0006】サステイン電極Xj、Yjは、ガラス基板11jの内面に配列されており、それぞれが幅の広い透明導電膜41jと導電性を確保するための金属膜42jとから構成されている。透明導電膜41jは、面放電が広がるように金属膜42jより幅の広い帯状にパターンニングされている。

【0007】蛍光体層28jは、サステイン電極Xj、Yjから遠ざけて面放電によるイオン衝撃を軽減するために背面側のガラス基板21j上の各隔壁29jの間に設けられており、面放電で生じた紫外線によって局部的に励起されて発光する。蛍光体層28jの表層（放電空間と接する面）で発光した可視光の内、ガラス基板11jを透過する光が表示光となる。

【0008】マトリクス画面のピクセル（画素）EGは、ライン方向に並ぶ3つのサブピクセルEUからなる。これら発光色（R、G、B）は互いに異なり、R、G、Bの組み合わせによってカラー表示が行われる。隔壁29jの配置パターンはいわゆるストライプパターンであり、放電空間30jの内の各列に対応した部分は、全てのラインに跨がって列方向に連続している。各列内のサブピクセルEUの発光色は同一である。

【0009】PDP80による表示に際しては、各サブピクセルEUの点灯（発光）／非点灯の選択（アドレッシング）に、アドレス電極Ajと電極対12jの一方のサステイン電極Yjとが用いられる。すなわち、n本（nはライン数）のサステイン電極Yjに対して1本ずつ順にスキャンパルスを印加することによってライン走査が行われ、サステイン電極Yjと表示内容に応じて選択されたアドレス電極Ajとの間での対向放電（アドレス放電）によって、ライン毎に所定の帯電状態が形成される。アドレッシングの後、サステイン電極Xjとサステイン電極Yjとに交互に所定波高値のサステインパルスを印加すると、アドレッシングの終了時点で所定量の壁電荷が存在したセルで面放電（サステイン放電）が生じる。

【0010】

【発明が解決しようとする課題】上述のようにアドレス電極Ajと電極対12jとが放電空間30jを挟んで対向する構造は、アドレス電極Ajと電極対12jとの容量結合を防止できる利点を有する。アドレス電極Ajと電極対12jとが同一基板上で交差する構造では、電極間の静電容量が比較的に大きいことから、アドレッシングにおいて必要以上に電流が流れる。

【0011】しかし、AC駆動形式では、電流制限・帯電・電極保護の上で、電極対12jと放電空間30jとの間に十分に厚い（例えば30～40μm）誘電体層17jを設ける必要がある。このため、従来においては、アドレッシングに際して対向放電を生じさせるために、アドレス電極Ajとサステイン電極Yjとの間の電位差を

大きくする必要があった。また、放電が生じない放電ミスの発生確率も大きいという問題もあった。

【0012】本発明は、アドレッシングのための印加電圧を低くして駆動を容易化することを目的としている。

【0013】

【課題を解決するための手段】サステイン電極対を配置する側の基板上にサステイン電極対と同一方向に延びる第4の電極を設け、サステイン放電のための電極対とアドレス放電のための電極対とを分離する。

【0014】請求項1の発明のPDPは、第1の基板上にマトリクス表示の行方向に延びる第1及び第2のサステイン電極が設けられ、放電空間を介して前記第1の基板と対向する第2の基板上に列方向に延びる第1のアドレス電極が設けられ、前記第1の基板上の位置であって、前記第1及び第2のサステイン電極よりも前記第1のアドレス電極に近づいた位置に、前記行方向に延びる第2のアドレス電極が設けられてなる。

【0015】請求項2の発明のPDPは、前記第2のアドレス電極が、平面視において前記第2のサステイン電極と重なるように配置され、前記放電空間に対して誘電体層で被覆されたものである。

【0016】請求項3の発明の駆動方法は、アドレス期間において、前記第1及び第2のアドレス電極の間で放電を生じさせて表示内容に応じた壁電荷蓄積状態を形成し、前記アドレス期間に続くサステイン期間において、前記第1及び第2のサステイン電極の間で周期的に放電を生じさせるものである。

【0017】

【発明の実施の形態】図1は本発明のPDP1の要部断面図である。PDP1は面放電形式のAC型PDPである。前面側のガラス基板11の内面に、ライン毎に一对のサステイン電極X、Yが配置されている。サステイン電極X、Yは、それぞれが透明導電膜41と金属膜42とからなり、AC駆動のための誘電体層17で被覆されている。誘電体層17の表面にはMgOからなる保護膜18が蒸着されている。

【0018】PDP1では誘電体層17の中にライン方向に延びるアドレス電極A2が埋め込まれている。すなわち、誘電体層17は下層171と上層172とからなり、下層171と上層172との間にアドレス電極A2が設けられている。アドレス電極A2は、平面視においてサステイン電極Yの金属膜42とほぼ完全に重なるように配置されており、サステイン電極X、Yよりも放電空間30に近い位置に存在する。アドレス電極A2の幅が金属膜42の幅とほぼ等しいので、アドレス電極A2を設けたことによる表示光量の減少は僅かであって表示に支障はない。

【0019】一方、背面側のガラス基板21の内面には、列方向（ライン方向と直交する方向）に延びるアドレス電極A1、絶縁層24、図示しない隔壁、及び蛍光

体層28が設けられている。各隔壁は、放電空間30をライン方向にサブピクセル毎に区画し、且つ放電空間30の間隙寸法を一定に規定する役割をもつ。PDP1の隔壁構造及び蛍光体の配置パターンは、従来のPDP80（図7参照）と同一である。

【0020】PDP1による表示に際しては、背面側のアドレス電極A1と前面側のアドレス電極A2との間で放電を生じさせることによってアドレッシングが行われる。アドレス電極A2は、サステイン電極Yよりもアドレス電極A1に近い位置にあり、アドレス電極A2を覆う誘電体層（上層172）は薄いので、サステイン電極Yとアドレス電極A1との間で放電を生じさせる場合よりも低い電圧の印加でアドレス放電が生じる。

【0021】図2は電極端子構造を示す要部拡大図、図3は電極端子構造の他の例を示す要部拡大図である。これらの図において、同一機能を有した構成要素には、形状の差異に係わらず同一の符号を付してある。

【0022】図2（A）において、サステイン電極Yを構成する金属膜42は、ガラス基板11とガラス基板21とを接合する封止材31の外側に導出され、ガラス基板11の端縁に設けられた端子Yと一体化されている。封止材31の外側で且つ端子Yの内側の位置に端子A2が設けられ、この端子A2とアドレス電極A2とが一体化されている。端子Y及び端子A2は、図示しないプリント配線板を介して駆動回路と電気的に接続される。図2（B）のように端子Yと端子A2との間には下層171の厚さ分の段差がある。つまり、図2では、端子Yと端子A2とが段違いに配置されている。

【0023】これに対して、図3の例では、サステイン電極Yの端子Yとアドレス電極A2の端子A2とが同一平面上に隣接配置されている。端子A2がサステイン電極Yの延長線上にないため、アドレス電極A2の端部は屈曲形状にパターンニングされている。

【0024】図2の電極端子構造には、所定の端子面積を確保しつつサステイン電極Yの配列ピッチを縮小することができるという利点がある。図3の電極端子構造には、ガラス基板21に対するガラス基板11の張出し幅を小さくすることができるという利点がある。

【0025】次にPDP1の駆動方法を説明する。図4は印加電圧の波形図である。PDP1による表示に際しては、画面（1フレーム）に例えば1つのフィールドを対応づける。ただし、テレビジョンのようにインタレース形式で走査された画面を再生する場合には、1画面（1フレーム）を表示するために2つのフィールドを用いる。

【0026】階調表示を行うためにフィールドを例えば6～8個程度のサブフィールドsfに分割する。各サブフィールドsfは、リセット期間TR、アドレス期間TA、及びサステイン期間TSからなる。各サブフィール

ドsfの輝度に適切な重み付けをして、各サブフィールドsfのサステイン期間TSにおける発光回数を設定する。各サブフィールドsfは、1つの階調レベルの画面表示期間である。

【0027】リセット期間TRは、それ以前の点灯状態の影響を防ぐため、有効表示領域の壁電荷の消去（全面消去）を行う期間である。全てのラインのサステイン電極Xに書き込みパルスPWを印加し、同時に全てのアドレス電極A1にパルスPaw（書き込みパルスPWと同極性）を印加する。書き込みパルスPWの立上りに応じて全てのラインで強い面放電が生じ、誘電体層17に一旦、壁電荷が蓄積する。しかし、書き込みパルスPWの立下りに応じて、壁電荷によるいわゆる自己放電が生じ、誘電体層17の壁電荷が消失する。パルスPawは、背面側の壁面への壁電荷の蓄積を抑えるために印加される。

【0028】アドレス期間TAは、ライン順次のアドレッシングを行う期間である。サステイン電極Xを接地電位に対して正電位Vaxにバイアスする。この状態で、先頭のラインから1ラインずつ順に各ラインを選択し、アドレス電極A2に負極性のスキャンパルスPyを印加する。ラインの選択と同時に、点灯（発光）すべきセルに対応したアドレス電極A1に対して、波高値Vaの正極性のアドレスパルスPaを印加する。選択されたラインにおいて、アドレスパルスPaの印加されたセルでは、アドレス電極A1とアドレス電極A2との間でアドレス放電が起こる。サステイン電極XがアドレスパルスPaと同極性の電位にバイアスされているので、そのバイアスでアドレスパルスPaが打ち消され、サステイン電極Xとアドレス電極A1の間では放電は起きない。アドレス期間TAにおいて、サステイン電極Yとアドレス電極A2との間の電位差が大きい場合には放電ミスが生じ易い。放電ミスを防止するため、全てのサステイン電極Yをフローティング状態にする。また、ライン走査に伴うアドレス電極A2の電位変動に係わらず、図中に破線で示すようにサステイン電極Yを一定の負電位にバイアスすることによって放電ミスを低減することもできる。

【0029】サステイン期間TSは、階調レベルに応じた輝度を確保するために、アドレッシングによって設定された点灯状態を維持する期間である。対向放電を防止するため、全てのアドレス電極A1を正極性の電位（例えばVs/2）にバイアスし、最初に全てのサステイン電極Yに波高値Vsの正極性のサステインパルスPsを印加する。その後、サステイン電極Xとサステイン電極Yとに対して、交互に波高値Vsの正極性のサステインパルスPsを印加する。サステインパルスPsの印加毎に、アドレス期間TAに壁電荷の蓄積したセルで面放電が生じる。サステイン期間TSにおいては、面放電への影響を防ぐため、アドレス電極A2をフローティング状

態とするか、又は図中に破線で示すようにサステイン電極Yに対するサステインパルスPsの印加と同期させて、アドレス電極A2をサステインパルスPsと同極性の電位にバイアスする。

【0030】図5は駆動回路の要部のブロック図、図6は図5の各信号の波形図である。上述の説明から明らかなように、実質的に、アドレス電極A2はアドレス期間TAのみにおいて用いられ、サステイン電極Yはサステイン期間TSのみにおいて用いられる。したがって、サステイン電極Yとアドレス電極A2とを時分割形式で制御することが可能である。

【0031】サステイン電極Yに対する駆動電圧の印加はYドライバ132が担い、アドレス電極A2に対する駆動電圧の印加はA2ドライバ133が担う。そして、これらYドライバ132及びA2ドライバ133の動作は、1個のパルスジェネレータ141によって規定される。パルスジェネレータ141は、サステインパルスの印加タイミングを規定する制御信号SYとアドレスデータ信号SAとの合成信号に相当するパルス信号S1を生成して信号分離回路142に出力する。信号分離回路142は、図示しないコントローラからのタイミング信号SC1、SC2に従って動作し、パルス信号S1を制御信号SYとアドレスデータ信号SAとに分離する。分離された2つの信号の一方の制御信号SYはYドライバ132に入力され、他方のアドレスデータ信号SAはA2ドライバ133に入力される。

【0032】

【発明の効果】請求項1乃至請求項3の発明によれば、従来よりも低い電圧の印加でアドレッシングを行うことができ、アドレッシングにおける放電ミスの発生確率を低減することができる。

【0033】請求項2の発明によれば、サステイン電極の配列密度を損なうことなくアドレッシングにおける印加電圧を低くすることができるとともに、壁電荷を効率的に蓄積させることができる。

【図面の簡単な説明】

【図1】本発明のPDPの要部断面図である。

【図2】電極端子構造を示す要部拡大図である。

【図3】電極端子構造の他の例を示す要部拡大図である。

【図4】印加電圧の波形図である。

【図5】駆動回路の要部のブロック図である。

【図6】図5の各信号の波形図である。

【図7】従来の面放電型PDPの電極構造を示す平面図である。

【図8】従来の面放電型PDPの内部構造を示す分解斜視図である。

【符号の説明】

1 PDP（AC型PDP）

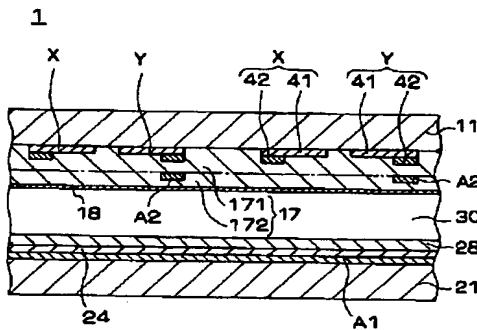
11 ガラス基板（第1の基板）

21 ガラス基板（第2の基板）
 30 放電空間
 172 上層（誘電体層）
 A1 アドレス電極（第1のアドレス電極）
 A2 アドレス電極（第2のアドレス電極）

TA アドレス期間
 TS サステイン期間
 X サステイン電極（第1のサステイン電極）
 Y サステイン電極（第2のサステイン電極）

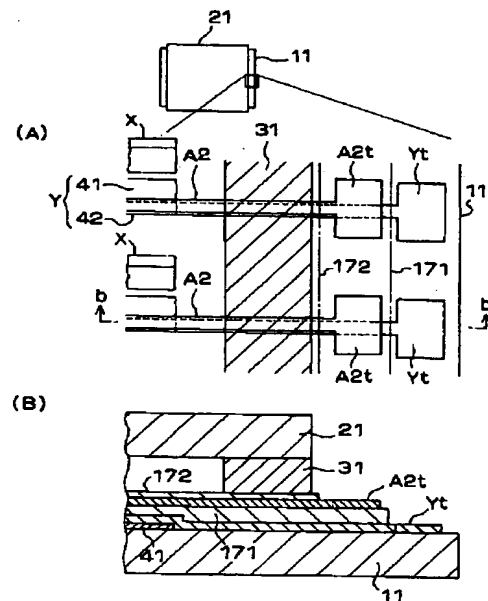
【図1】

本発明のPDPの要部断面図



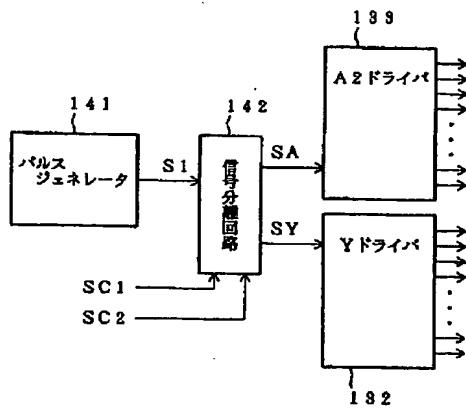
【図2】

電極端子構造を示す要部拡大図



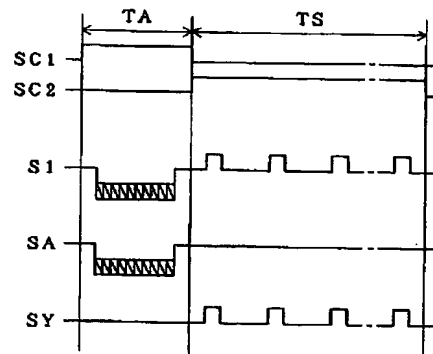
【図5】

駆動回路の要部のブロック図



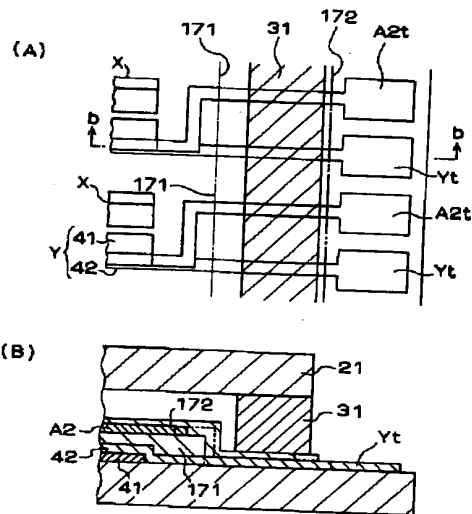
【図6】

図5の各信号の波形図



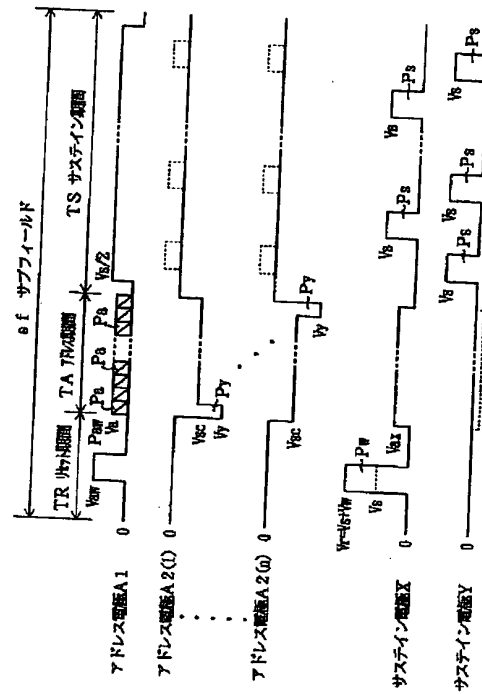
【図3】

電極端子構造の他の例を示す要部拡大図



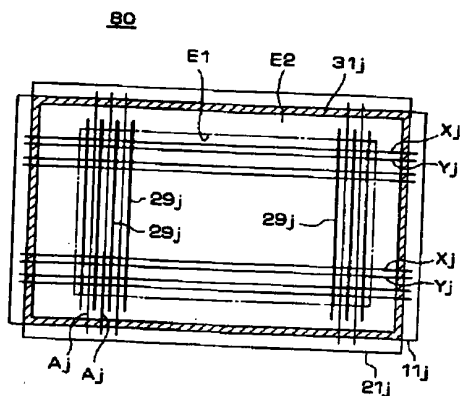
【図4】

印加電圧の波形成図



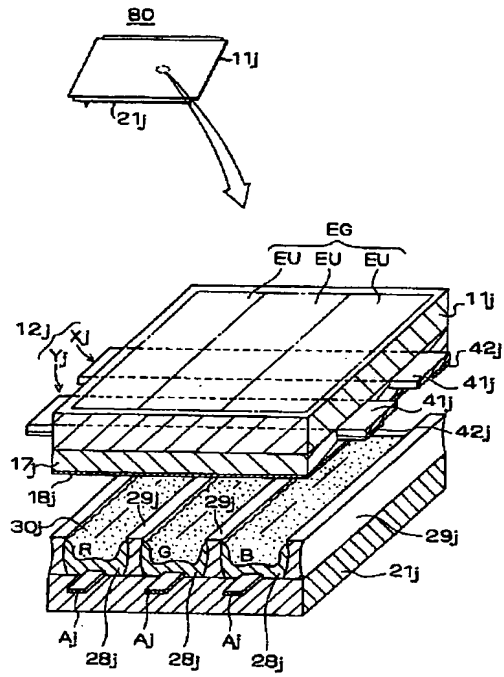
【図7】

従来の面放電型PDPの電極構造を示す平面図



【図8】

従来の面放電型PDPの内部構造を示す分解斜視図



THIS PAGE BLANK (USPTO)